

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-113580

(43)Date of publication of application : 07.05.1993

(51)Int.Cl.

G02F 1/136

G02F 1/133

H01L 27/12

H01L 21/336

H01L 29/784

(21)Application number : 03-275677

(71)Applicant : KYOCERA CORP

(22)Date of filing : 23.10.1991

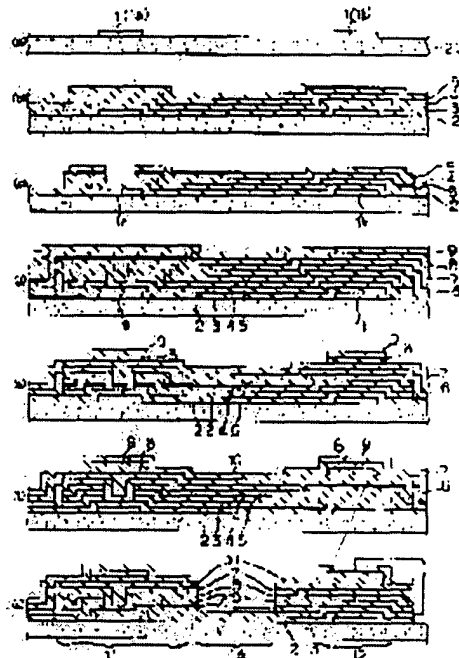
(72)Inventor : YAMAGUCHI NORITOSHI
MATSUDA TOSHIYA
UENO HIROKO

(54) PRODUCTION OF ACTIVE MATRIX SUBSTRATE

(57)Abstract:

PURPOSE: To decrease the number of sheets of the photomasks to be used at the time of patterning and to enable forming signal wirings with transparent conductive layers as well as to facilitate the connection to driving circuits by constituting the above matrix substrate in such a manner the need for the specific patterning of channel layers is eliminated and an n+ type semiconductor layer can be subjected simultaneously to patterning of source electrodes and drain electrodes.

CONSTITUTION: A picture element electrodes and image signal line 3, a source and drain electrodes 4 and an ohmic contact layer 5 are successively laminated and are patterned to prescribed shapes. The channel layer 6, a gate insulating layer 7, a gate electrode 8, and a scanning signal line 9 are then successively laminated. The gate electrode 8 and the scanning signal line 9 are then patterned to prescribed shapes. A protective layer 10 is thereafter formed. This protective layer 10 as well as the upper source and drain electrode 4, the ohmic contact layer 5, a channel region 6, a gate insulating layer 7, the gate electrode 8 and the scanning signal line 9 are patterned to prescribed shapes.



LEGAL STATUS

[Date of request for examination]

25.09.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2873119

[Date of registration]

08.01.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-113580

(43)公開日 平成5年(1993)5月7日

(51)Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
H 0 1 L 27/12	A	8728-4M		
21/336		9056-4M		
			H 0 1 L 29/ 78	3 1 1 Y

審査請求 未請求 請求項の数 1 (全 6 頁) 最終頁に続く

(21)出願番号 特願平3-275677

(22)出願日 平成3年(1991)10月23日

(71)出願人 000006633

京セラ株式会社

京都府京都市山科区東野北井ノ上町5番地の22

(72)発明者 山口 文紀

滋賀県八日市市蛇溝町長谷野1166番地の6

京セラ株式会社滋賀八日市工場内

(72)発明者 松田 敏哉

滋賀県八日市市蛇溝町長谷野1166番地の6

京セラ株式会社滋賀八日市工場内

(72)発明者 上野 裕子

滋賀県八日市市蛇溝町長谷野1166番地の6

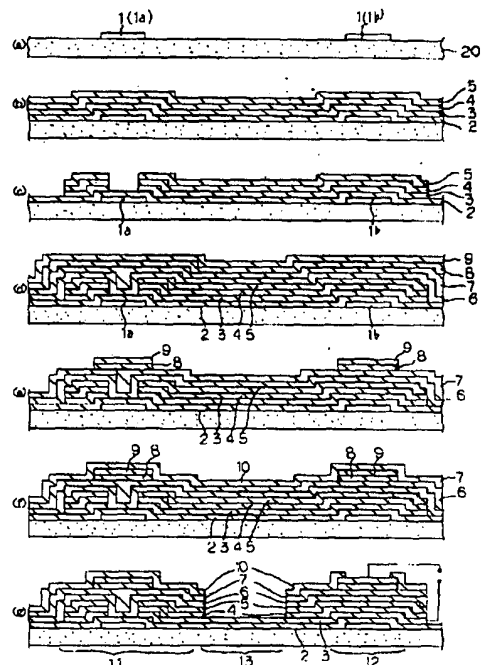
京セラ株式会社滋賀八日市工場内

(54)【発明の名称】 アクティブマトリックス基板の製造方法

(57)【要約】

【構成】 画素電極と画像信号線、ソース・ドレイン電極、およびオーミックコンタクト層を順次積層して所定形状にパターニングし、次に、チャンネル層、ゲート絶縁層、ゲート電極、および走査信号線を順次積層して、ゲート電極と走査信号線を所定形状にパターニングし、次に、保護層10を形成して、この保護層10と、ソース・ドレイン電極、オーミックコンタクト層、チャンネル領域、ゲート絶縁層、ゲート電極、および走査信号線を所定形状にパターニングする。

【効果】 チャンネル層の格別なパターニングが不要になると共に、 n^+ 型半導体層5をソース電極とドレイン電極のパターニングと同時に行うことができるようになり、パターニングの際に使用するフォトリソの枚数を減らすことができる。また、信号配線を透明導電層で形成することができ、駆動回路との接続が容易になる。



【特許請求の範囲】

【請求項1】 (a) 基板上に、画素電極および画像信号線となる第1の透明導電層、ソース電極とドレイン電極となる第1の金属層、およびトランジスタのオーミックコンタクト層となる n^+ 型半導体層を順次積層し、

(b) 該第1の透明導電層、第1の金属層、および n^+ 型半導体層の所定部分をエッチング除去し、(c) 次に、トランジスタのチャネル領域となる i 型半導体層、ゲート絶縁層となる絶縁層、ゲート電極となる第2の金属層、および走査信号線となる第2の透明導電層を順次積層し、(d) 該第2の金属層と第2の透明導電層の所定部分をエッチング除去し、(e) 次に、保護層を形成し、(f) 該保護層と、上記第1の金属層、 n^+ 型半導体層、 i 型半導体層、絶縁層、第2の金属層、および第2の透明導電層の所定部分をエッチング除去する工程を含んで成るアクティブマトリックス基板の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアクティブマトリックス基板の製造方法に関し、特に順スタガー型の薄膜トランジスタを有するアクティブマトリックス基板の製造方法に関する。

【0002】

【従来の技術】従来、アクティブマトリックス型液晶表示装置などに用いられるアクティブマトリックス基板には、画素電極となる透明導電層がトランジスタの上方に位置するタイプのものとトランジスタの下方に位置するタイプのものがあるが、それぞれのアクティブマトリックス基板の製造方法を図2および図3に示す。

【0003】図2は透明導電層がトランジスタの下方に位置するタイプのものである。まず、同図(a)に示すように、ガラスなどから成る絶縁基板21上に、画素電極となる透明導電層22とゲート電極となる金属層23とを真空蒸着法やスパッタリング法などにより形成し、この金属層23をエッチングによって所定のパターンに形成する。次に、同図(b)に示すように、透明導電層22をエッチングによって所定のパターンに形成する。次に、同図(c)に示すように、ゲート絶縁層となる絶縁層24、25、チャネル領域となる i 型半導体層26、およびエッチングのストッパー層として作用する窒化シリコン層27を形成する。次に、同図(d)に示すように、窒化シリコン層27がゲート電極23上にのみ残るようにパターニングする。次に、同図(e)に示すように、 n^+ 型半導体層などからなるオーミックコンタクト層28を例えばプラズマCVD法などで形成する。次に、同図(f)に示すように、トランジスタの側部にコンタクトホール29を形成する。次に、同図(g)に示すように、ソース・ドレイン電極となる金属層30、31を形成する。次に、同図(h)に示すように、ゲート電極23上の金属層30、31とオーミックコンタ

ト層28をエッチングで分離して、ソースとドレインを形成する。このエッチングの際には、窒化シリコン層27がストッパー層となる。最後に、窒化シリコンなどから成るパシベーション層32を形成して完成する。このように従来のアクティブマトリックス基板の製造方法では、半導体層26上の全面にオーミックコンタクト層28とソース・ドレイン電極となる金属層30を設けて、中央部分をフッ硝酸溶液などでエッチング除去することにより、ソース電極、ドレイン電極、およびオーミックコンタクト層28を分割するが、このオーミックコンタクト層28を分割する際に、半導体層26がオーバーエッチングによって消失しないようにすると共に、オーミックコンタクト層28の一部が残ってトランジスタの FF 抵抗が低下するのを防止するために、半導体層26上にストッパー層27を形成してオーミックコンタクト層28と金属層30、31の所定部分が完全にエッチングされるようにしていた。

【0004】上述のアクティブマトリックス基板の製造方法では、図2(a)(b)(d)(f)(h)の各工程でエッチングを行うことから、フォトリソは五枚必要である。

【0005】また、透明導電層がトランジスタの上方に位置するタイプのアクティブマトリックス基板の製造方法を図3に示す。まず、同図(a)に示すように、絶縁基板51上に、ゲート電極となる金属層52を形成してパターニングする。次に、同図(b)に示すように、金属層52の表面を陽極酸化して、金属酸化層53を形成する。次に、同図(c)に示すように、ゲート絶縁層となる絶縁層54、チャネル領域となる i 型半導体層55、およびエッチングのストッパー層として機能する窒化シリコン層56を形成する。次に、同図(d)に示すように、ゲート電極53上にのみ窒化シリコン層56が残るように、窒化シリコン層56の大部分をエッチングする。次に、同図(e)に示すように、オーミックコンタクト層57を形成する。次に、同図(f)に示すように、オーミックコンタクト層57と i 型半導体層55の周辺部をエッチングなどにより除去する。次に、同図(g)に示すように、ソース・ドレイン電極となる金属層58を形成して、パターニングする。なお、この工程では、後述する透明導電層59が半導体層55、57と接触しないようにするために、半導体層55、57の周辺部が金属層58で完全に被覆されるように金属層58をパターニングする。次に同図(h)に示すように、画素電極となる透明導電層59を形成してパターニングする。最後に、同図(i)に示すように、窒化シリコン層などから成るパシベーション層60を形成して完成する。

【0006】上述のアクティブマトリックス基板の製造方法では、図3(a)(d)(f)(g)(h)の各工程でフォトリソが必要であり、最低五枚必要である

3

【0007】上述のように、従来のアクティブマトリックス基板の製造方法では、トランジスタの機能上は不要なエッチングのストッパー層27、56の形成が必要で、フォトマスクを多く使うために、フォトプロセスに時間がかかり量産性が悪いという問題があった。特に、このような薄膜トランジスタを多数形成するデバイスでは、製造工程の煩雑化によって歩留りが著しく低下することから、製造工程はできるだけ簡略化することが望まれている。

【0008】

【課題を解決するための手段】本発明は、このような従来技術の問題点に鑑みてなされたものであり、その特徴とするところは、(a)基板上に、画素電極および画像信号線となる第1の透明導電層、ソース電極とドレイン電極となる第1の金属層、およびトランジスタのオーミックコンタクト層となる n^+ 型半導体層を順次積層し、(b)該第1の透明導電層、第1の金属層、および n^+ 型半導体層の所定部分をエッチング除去し、(c)次に、トランジスタのチャネル領域となる i 型半導体層、ゲート絶縁層となる絶縁層、ゲート電極となる第2の金属層、および走査信号線となる第2の透明導電層を順次積層し、(d)該第2の金属層と第2の透明導電層の所定部分をエッチング除去し、(e)次に、保護層を形成し、(f)該保護層と、上記第1の金属層、 n^+ 型半導体層、 i 型半導体層、絶縁層、第2の金属層、および第2の透明導電層の所定部分をエッチング除去する工程を含んで成る点にある。

【0009】

【作用】上記のような構成にすると、 i 型半導体層のパターニングが不要でエッチングのストッパー層が不要になると共に、 n^+ 型半導体層をソース電極とドレイン電極のパターニングと同時に進めることができるようになり、パターニングの際に使用するフォトマスクの枚数を減らすことができる。また、薄膜トランジスタと付加容量を同時に形成でき製造工程が簡略化される。さらに、信号配線を透明導電層で形成することができ、信号配線と駆動回路とをマイクロバンプボンディング法によって接続することが可能となる。

【0010】

【実施例】以下、本発明を添付図面にに基づき詳細に説明する。図1は、本発明に係るアクティブマトリックス基板の製造方法の一実施例を示す図であり、20はガラスなどから成る絶縁基板である。

【0011】まず、同図(a)に示すように、基板20上に、アルミニウム(Al)、クロム(Cr)、タンタル(Ta)などの遮光用金属層1を真空蒸着法やスパッタリング法などによって、厚み2000Å程度に形成して、島状にパターニングする。すなわち、第1の遮光用金属層1aは後述するトランジスタの下部に位置し、第2の遮光用金属層1bは付加容量部分の下部に位置する

4

ようにパターニングする。遮光用金属層1を設けると、トランジスタおよび付加容量内の半導体層に光が当たってキャリアが発生するのを防止できる。

【0012】次に、同図(b)に示すように、下地絶縁層2、画素電極および画像信号線となる第1の透明導電層3、ソース・ドレイン電極となる第1の金属層4、およびオーミックコンタクト層となる n^+ 型半導体層5を形成する。下地絶縁層2は、酸化タンタル(TaO_x)、窒化シリコン(SiN_x)などから成り、酸化タンタルの場合はスパッタリングや陽極酸化などによって、また窒化シリコンの場合はプラズマCVD法などによって、それぞれ厚み2000Å程度に形成される。第1の透明導電層3は、酸化錫、酸化インジウム錫などを用いたスパッタリング法によって厚み1000Å程度に形成される。ソース・ドレイン電極となる第1の金属層4は、アルミニウム、クロム、チタンなどを用いて、真空蒸着法やスパッタリング法で厚み4000Å程度に形成される。さらに n^+ 型半導体層5はプラズマCVD法などによって、厚み1000Å程度に形成される。なお、 n^+ 型半導体層5は、リン(P)をドーブしたマグネシウムシリサイド(Mg_2Si)などで構成してもよい。このように n^+ 型半導体層5は、リン(P)をドーブしたマグネシウムシリサイド(Mg_2Si)で構成すると、 n^+ 型半導体層5をスパッタリング法で形成でき、金属層と同一装置で同時に成膜できる。したがって、CVDプロセスを一つ減らすことができる。また、ドレイン電極部の第1の透明導電層3は、画像信号線となる。

【0013】次に、同図(c)に示すように、第1の透明導電層3、第1の金属層4、および n^+ 型半導体層5を、上記遮光用金属層1aの周辺部と第1の遮光用金属層1aから第2の遮光用金属層1bにかけて残るようにエッチング除去する。アルミニウムやチタンをエッチングする場合は磷酸が、クロムをエッチングする場合は硝酸第二セリウムアンモニウム水溶液が、透明導電層3をエッチングする場合は亜鉛を触媒とする塩硝酸系エッチング液が、金属層4および n^+ 型半導体層5をエッチングする場合は弗硝酸の水溶液などが好適に用いられる。

【0014】次に、同図(d)に示すように、 i 型半導体層6、ゲート絶縁層となる絶縁層7、ゲート電極となる第2の金属層8、走査信号線となる第2の透明導電層9を順次積層する。 i 型半導体層6はプラズマCVD法などによって厚み500Å程度に形成される。ゲート絶縁層となる絶縁層7は、窒化シリコン層の一層構造、あるいは窒化シリコン層と酸化タンタル層の二層構造のもので形成される。窒化シリコン層は、プラズマCVD法などで厚み2000Å程度に形成され、酸化タンタル層はスパッタリングや陽極酸化によって厚み2000Å程度に形成される。ゲート電極となる第2の金属層8は、アルミニウム、クロム、チタンなどを用いて、真空蒸着

5

法やスパッタリング法で厚み2000Å程度に形成され、走査信号線となる第2の透明導電層9は、酸化錫や酸化インジウム錫などを用いたスパッタリング法によって厚み2000Å程度に形成される。

【0015】次に、同図(e)に示すように、ゲート電極となる第2の金属層8と走査信号線となる第2の透明導電層9を、第1の遮光用金属層1aと第2の遮光用金属層1bの上の部分のみを残してエッチング除去する。用いられるエッチング液は、同図(c)の工程で用いられるエッチング液と同一である。

【0016】次に、同図(f)に示すように、保護層10を形成する。この保護層10は、窒化シリコンや酸化タンタルなどから成り、窒化シリコン層はプラズマCVD法により、酸化タンタル層はスパッタリング法により、厚み2000Å程度に形成される。

【0017】最後に、同図(g)に示すように、保護層10と、第1の金属層4、n⁺型半導体層5、i型半導体層6、第2の絶縁層7、第2の金属層8、および第2の透明導電層9を、上記第2の遮光用金属層1bの周辺部と、この第2の遮光用金属層1bから第1の遮光用金属層1a部分にかけてエッチング除去する。用いられるエッチング液は、同図(c)の工程で用いられるエッチング液と同一である。

【0018】上述のように形成すると、第1の遮光用金属層1a上にスイッチング用のトランジスタ11が形成され、第2の遮光用金属層1b上に、第1の透明導電層3と第2の透明導電層9を電極とする付加容量12が形成され、スイッチング用トランジスタ11と付加容量12との間に画素13が形成される。なお、図示されていないが、付加容量12部分の第2の透明導電層9は、画素電極13と対峙して設けられる対向電極(不図示)に接続される。この付加容量12は、液晶材料(不図示)への印加電圧を一定時間保持するために形成される。

【0019】また、薄膜トランジスタ11のドレイン電極4下部の第1の透明導電層3からドレイン電極4に画像信号を供給すると共に、ゲート電極8上部の第2の透明導電層9から走査信号を供給し、走査信号によって薄膜トランジスタ11をオンして画像信号を画素電極3に供給するものである。このように、走査信号線と画像信号線を透明導電層で形成すると、駆動回路(1Cチップ)とマイクロバンプボンディング法で接続できるようになる。すなわち、マイクロバンプボンディング法は、接触による導通であるため、信号線が金属の場合表面が酸化されて接触抵抗が増大して良好に接続できないが、信号線に酸化錫や酸化インジウム錫を用いるとこのような酸化による接触抵抗の増大はなく、マイクロバンプボンディング法での接続が可能となる。

【0020】上述のように、薄膜トランジスタ11の下部と付加容量12の下部に遮光用金属層1a、1bを設けて、i型半導体層6にキャリアが発生する(光が照射

6

されるとキャリアが発生する)のを防止することが望ましいが、i型半導体層6を光感度の低いもので形成する場合は、遮光用金属層1および下地絶縁層2は必ずしも必要でない。すなわち、基板温度を400℃程度の比較的高温に維持して、且つ膜厚が200Å以下となるように薄く形成すればi型半導体層6の光感度を低くすることができる。基板温度を高温にしてi型半導体層6を形成するとn型に偏るため、ボロン(B)を微量(1~5ppm)ドーピングして、フェルミレベルを中央に戻せばよい。

【0021】

【発明の効果】以上のように、本発明に係るアクティブマトリックス基板の製造方法によれば、(a)基板上に、画素電極および画像信号線となる第1の透明導電層、ソース電極とドレイン電極となる第1の金属層、およびトランジスタのオーミックコンタクト層となるn⁺型半導体層を順次積層し、(b)該第1の透明導電層、第1の金属層、およびn⁺型半導体層の所定部分をエッチング除去し、(c)次に、トランジスタのチャネル領域となるi型半導体層、ゲート絶縁層となる絶縁層、ゲート電極となる第2の金属層、および走査信号線となる第2の透明導電層を順次積層し、(d)該第2の金属層と第2の透明導電層の所定部分をエッチング除去し、

(e)次に、保護層を形成し、(f)該保護層と、上記第1の金属層、n⁺型半導体層、i型半導体層、絶縁層、第2の金属層、および第2の透明導電層の所定部分をエッチング除去する工程を含んで成ることから、i型半導体層のパターニングが不要になると共に、n⁺型半導体層をソース電極とドレイン電極のパターニングと同時に進行することができるようになり、パターニングの際に使用するフォトリソマスクの枚数を減らすことができると共に、製造工程が簡略化される。

【0022】また、上記のような構成にすると、信号配線を透明導電層で形成することができ、信号配線と駆動用回路とをマイクロバンプボンディング法によって接続することが可能となる。

【図面の簡単な説明】

【図1】(a)~(g)は、本発明に係るアクティブマトリックス基板の製造方法の各工程を示す図である。

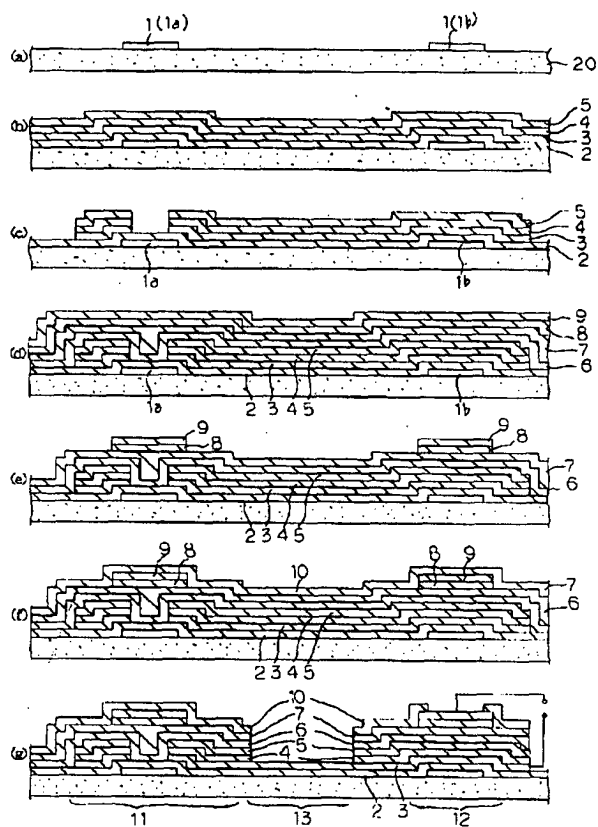
【図2】(a)~(h)は、従来のアクティブマトリックス基板の製造工程を示す図である。

【図3】(a)~(i)は、従来の他のアクティブマトリックス基板の製造工程を示す図である。

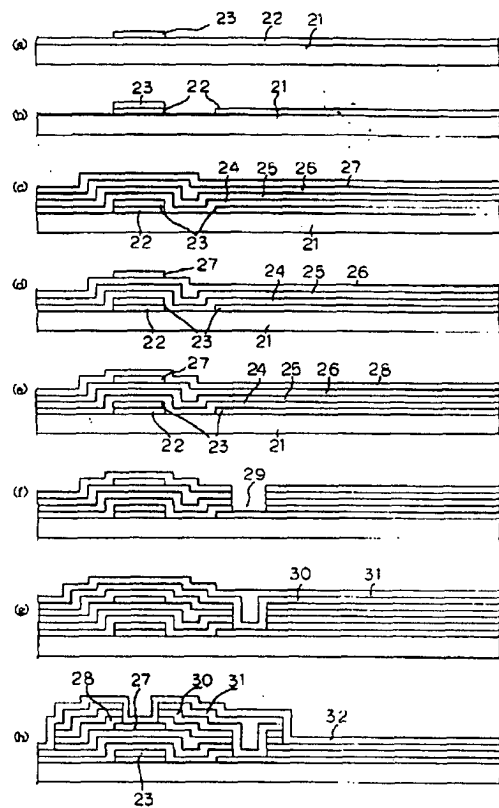
【符号の説明】

1・・・遮光用金属層、2・・・下地絶縁層、3・・・第1の透明導電層、4・・・第1の金属層、5・・・n⁺型半導体層、6・・・i型半導体層、7・・・絶縁層、8・・・第2の金属層、9・・・第2の透明導電層、10・・・保護層、20・・・基板。

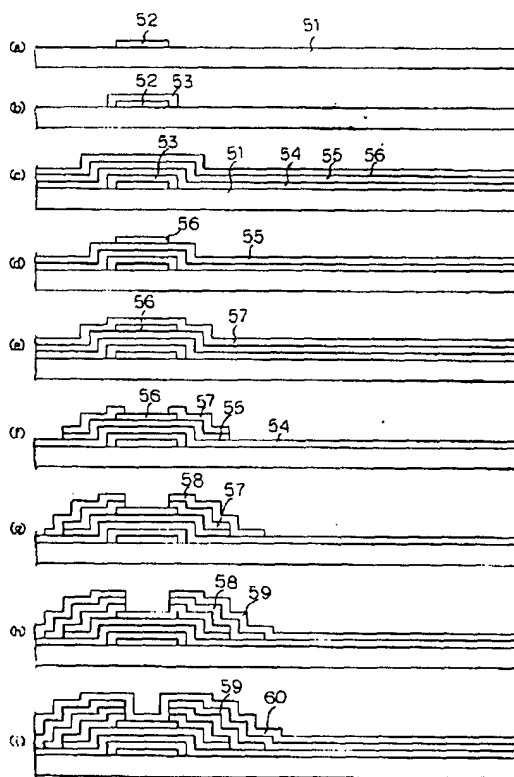
【図1】



【図2】



【図3】



フロントページの続き

(51) Int. Cl.⁵

H 0 1 L 29/784

識別記号

序内整理番号

F I

技術表示箇所